

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-288202

(P2003-288202A)

(43)公開日 平成15年10月10日 (2003.10.10)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	マーク(参考)
G 06 F 3/153	3 3 6	G 06 F 3/153	3 3 6 B 5 B 0 6 0
12/00	5 7 1	12/00	5 7 1 B 5 B 0 6 9
	5 8 0		5 8 0 5 C 0 8 2
G 09 G 5/00	5 5 0	G 09 G 5/00	5 5 0 M

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21)出願番号 特願2002-92003(P2002-92003)

(22)出願日 平成14年3月28日 (2002.3.28)

(71)出願人 000156950

関西日本電気株式会社

滋賀県大津市晴嵐2丁目9番1号

(72)発明者 世古 美和

滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社内

Fターム(参考) 5B060 CD13 KA03

5B069 AA01 BA00 BC00 LA16

5C082 AA01 BA12 BB15 BB22 DA54

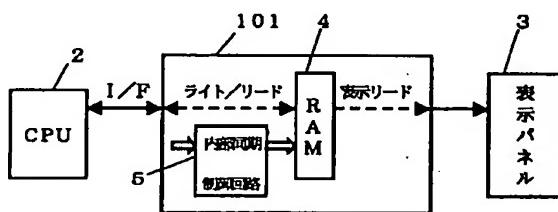
DA55 DA64 DA65 DA76 EA11

(54)【発明の名称】 シングルポートRAM内蔵の表示制御半導体集積回路

(57)【要約】

【課題】 従来のシングルポートRAMを内蔵した表示制御半導体集積回路では、CPU側の制御系の負荷が重くなるとともに、RAMを介した表示データ転送のサイクルタイムが長くなるという問題がある。

【解決手段】 表示制御半導体集積回路101は、内蔵のシングルポートRAM4を介して、内部に具備された内部同期制御回路5によりCPU2と表示パネル3間の表示データ転送制御を行う。この表示データ転送制御は、CPU2側からRAM4への表示データの書き込みアクセスまたはRAM4からCPU2側への読み出しアクセス(ライト/リード)を行い、RAM4から表示パネル3側への表示データの読み出しアクセス(表示リード)を行う際、ライト/リード命令と表示リード命令との競合、非競合に拘わらず、CPU2へレディ信号を出力することなく、常にライト/リード命令を表示リード命令より優先させる。



## 【特許請求の範囲】

【請求項1】CPUと表示パネル間の表示データ転送制御に用いられるシングルポートRAMを内蔵した表示制御半導体集積回路において、内部同期制御回路を有し、CPUからの命令によりCPU側からRAMへの表示データの書き込みアクセスまたはRAMからCPU側への読み出しアクセスを行い、前記CPUからの命令とは非同期に内部クロック同期による内部命令によりRAMから表示パネル側への表示データの読み出しアクセスを行う際、前記各命令間の競合、非競合に拘わらず、CPUへレディ信号を出力することなく、前記内部同期制御回路により常にCPU側からの命令を優先させることを特徴とした表示制御半導体集積回路。

【請求項2】前記内部同期制御回路が、前記CPU側からの命令を前記内部命令より優先せしめるように制御する制御部と、制御部からの信号に基づき、RAMから表示パネル側への表示データの読み出しアクセスを行う表示リード信号を生成する表示リード信号発生回路部と、表示リード信号発生回路部からの信号に基づき、前記内部命令中に前記CPU側からの命令の競合があった場合、その時点で内部命令による表示データの読み出しアクセスが終了しているかどうかの判定を行い、終了していない場合、前記CPU側からの命令の終了後に前記内部命令による表示データの再読み出しアクセスを行うように、前記制御部への判定フラグ信号を生成する判定フラグ信号発生回路部とを具備することを特徴とした請求項1記載の表示制御半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、シングルポートRAMを内蔵した表示制御半導体集積回路に関する。

## 【0002】

【従来の技術】シングルポートRAMを内蔵した従来の表示制御半導体集積回路について説明する。図10に示すように、表示制御半導体集積回路1は、表示装置のCPU(中央演算処理装置)2と表示パネル3間の表示データ転送制御に用いられ、内蔵のシングルポートRAM4を介して、表示データ転送制御を行う。この表示制御半導体集積回路1を用いて、CPU2からの命令によりCPU2側からRAM4への表示データの書き込みアクセス/RAM4からCPU2側への読み出しアクセス(以下、ライト/リードという)を行い、表示制御半導体集積回路1の内部クロック同期(内部命令)でRAM4から表示パネル3側への表示データの読み出しアクセス(以下、表示リードという)を行う際、ライト/リードと表示リードとが互いに非同期である。また、RAM4は、ワード線が1本であるためライト/リードと表示リードとを同時にを行うことができない。このため、表示制御半導体集積回路1は、ライト/リード命令が生じると、CPU2に対してレディ信号を出力することにより、CP

U2と表示制御半導体集積回路1との同期を取ってCPU2と表示パネル3間の表示データ転送制御を行っている(以下、この制御方式をレディ制御方式といふ)。

【0003】以下に、レディ制御方式について、図11のタイムチャートを参照して説明する。

①ライト/リード命令と表示リード命令が非競合の場合  
図11の(a)に示すように、CPU2から表示制御半導体集積回路1に供給されるライト/リードの例えれば、ライト命令であるライト信号が、時刻t1C“ハイ”レベルになると、表示制御半導体集積回路1からCPU2に供給されるレディ信号が、時刻t1から例えれば、140nsを要して時刻t2C“ロウ”レベルとなり、CPU2で表示リードとの競合チェックが、時刻t2から例えれば、170nsの時間を要して時刻t3まで行われる。競合していないことが確認されると、時刻t3にレディ信号が“ハイ”レベルとなり、ライト信号が“ロウ”レベルになって、表示データがRAM4に書き込まれる。従って、ライト途中に表示リード命令が生じない場合でも、競合チェックのために時間t3-t2=170nsを必要とする。尚、時間t3-t2に含まれる期間として、例えれば表示データに対するライト信号のセットアップ/ホールド時間がそれぞれ60ns必要である場合、有効データはライト信号の立下りエッジに対してそれぞれ60nsの期間が必要となり、その期間を含んでいる。

【0004】②競合の場合(ライト/リード命令中に表示リード命令が生じた場合)

図11の(b)に示すように、ライト途中に表示リード命令が生じない場合と同様に、ライト信号が時刻t1C“ハイ”レベルになると、レディ信号が時刻t2C“ロウ”レベルとなり、CPU2で表示リードの競合チェックが行われる。競合していることが確認されると、表示リードが優先され、時刻t2から例えれば、290nsの時間を要して時刻t3'に競合チェック+表示リードが完了するまでライト信号が“ハイ”レベルのままであり、レディ信号が“ロウ”レベルのままである。そして、時刻t3'にレディ信号が“ハイ”レベルとなり、ライト信号が“ロウ”レベルになって、表示データがRAM4に書き込まれる。従って、ライト途中に表示リード命令が生じた場合、競合チェック+表示リードのために時間t3'-t2=290ns(>t3-t2=170ns)を必要とする。

【0005】以上のように、ライト/リード途中に表示リード命令が生じた場合は、表示リードが完了するまでライト/リードを中断させるのが一般的であり、ライト/リード前に毎回レディ信号のチェックが必要となり、ライト/リードと表示リードとのサイクルタイムが長くなるという問題がある。また、CPU側と同期をとる必要があるためCPU側の制御系の負荷が重くなるという問題がある。

【発明が解決しようとする課題】上述したように、従来のシングルポートRAMを内蔵した表示制御半導体集積回路では、CPU側の制御系の負荷が重くなるとともに、ライト／リードと表示リードとのサイクルタイムが長くなるという問題がある。本発明は上記問題点に鑑み、CPUに対してレディ信号を出力することなく、CPUからのライト／リード命令を表示リード命令より常に優先させるようにしたシングルポートRAMを内蔵した表示制御半導体集積回路を提供することを目的とする。

## 【0007】

【課題を解決するための手段】本発明の表示制御半導体集積回路は、CPUと表示パネル間の表示データ転送制御に用いられるシングルポートRAMを内蔵した表示制御半導体集積回路において、内部同期制御回路を有し、CPUからの命令によりCPU側からRAMへの表示データの書き込みアクセスまたはRAMからCPU側への読み出しアクセスを行い、前記CPUからの命令とは非同期に内部クロック同期による内部命令によりRAMから表示パネル側への表示データの読み出しアクセスを行う際、前記各命令間の競合、非競合に拘わらず、CPUへレディ信号を出力することなく、前記内部同期制御回路により常にCPU側からの命令を優先させることを特徴とする。また、上記表示制御半導体集積回路において、前記内部同期制御回路が、前記CPU側からの命令を前記内部命令より優先せしめるように制御する制御部と、制御部からの信号に基づき、RAMから表示パネル側への表示データの読み出しアクセスを行う表示リード信号を生成する表示リード信号発生回路部と、表示リード信号発生回路部からの信号に基づき、前記内部命令中に前記CPU側からの命令の競合があった場合、その時点での内部命令による表示データの読み出しアクセスが終了しているかどうかの判定を行い、終了していない場合、前記CPU側からの命令の終了後に前記内部命令による表示データの再読み出しアクセスを行うように、前記制御部への判定フラグ信号を生成する判定フラグ信号発生回路部とを具備することを特徴とする。

## 【0008】

【発明の実施の形態】以下、本発明のシングルポートRAMを内蔵した表示制御半導体集積回路の実施例を説明する。図1に示すように、表示制御半導体集積回路101は、表示装置のCPU2と表示パネル3間の表示データ転送制御に用いられ、内部に具備された内部同期制御回路5によりライト／リードと表示リードとの同期を取りつつ、内蔵のシングルポートRAM4を介して、表示データ転送制御を行う。この表示制御半導体集積回路101による表示データ転送制御は、従来CPU2へ出力していたレディ信号が不要で、ライト／リード命令と表示リード命令との競合、非競合に拘わらず、常にCPU2側からのライト／リード命令を表示リード命令より優

先させる。

【0009】先ず、表示制御半導体集積回路101による表示データ転送制御のうちライト／リードについて説明する。図2の(a)～(c)に示すように、ライト／リード命令と表示リード命令との競合、非競合に拘わらず、CPU2から表示制御半導体集積回路101に供給されるライト／リードの例えは、ライト命令であるライト信号が時刻t1に“ハイ”レベルになると、常にライト命令が優先され、ライト信号が時刻t1から例えは、

- 10 80nsを要して時刻t2に“ロウ”レベルになって、表示データがRAM4に書き込まれる。従って、この制御方式の場合、時刻t1からt2の期間に、従来のレディ制御方式のようにレディ信号により競合チェックをする必要がないため、ライト命令からRAM4に書き込まれるまでの所要時間Twは、 $Tw = t2 - t1 = 80\text{ ns}$ だけを確保すればよく、短時間でよい。尚、時間Twに含まれる期間として、例えは表示データに対するライト信号のセットアップ／ホールド時間がそれぞれ60ns必要である場合、有効データはライト信号の立下りエッジに対してそれぞれ60nsの期間が必要となり、その期間を含んでいる。

【0010】次に、表示制御半導体集積回路101による表示データ転送制御のうち表示リードについて、ライト／リード命令と表示リード命令との競合、非競合に分けて説明する。

## ①非競合の場合

- 図2の(a)に示すように、ライト信号が“ハイ”レベルの時刻t1からt2の間に表示リード命令の競合がなく、ライト命令の競合がない時刻t2から次のライト信号が“ハイ”レベルに立ち上がる時刻t3の間に、表示リード信号の“ハイ”レベルの期間があるので、この期間にそのまま表示データがRAM4から表示リードされる。

【0011】②競合の場合（ライト／リード命令中に表示リード命令が生じた場合）

- 図2の(b)に示すように、ライト信号が“ハイ”レベルの時刻t1からt2の間に表示リード信号が“ハイ”レベルに立ち上がって表示リード命令の競合があると、ライト命令の競合がない時刻t2から次のライト信号が“ハイ”レベルに立ち上がる時刻t3の間に、表示リード信号の“ハイ”レベルの期間を遅延させ、この期間に表示データがRAM4から表示リードされる。

【0012】③競合の場合（表示リード命令中にライト／リード命令が生じた場合）

- 図2の(c)に示すように、表示リード信号が“ハイ”レベルに立ち上がって表示リード途中の時刻t1に、ライト信号が“ハイ”レベルに立ち上がってライト命令の競合があると、その時点で表示リードを中止させ、そして、その時点で表示リードが終了しているのか未了であるのかを判断し、未了であれば、判定フラグを立て、ラ

イト命令の競合がなくなる時刻  $t_2$ に再び表示リード信号が“ハイ”レベルに立ち上がって表示データがRAM 4から表示リードされる。

【0013】次に、内部同期制御回路5の実施例について、図3を参照して説明する。この回路は、リセット信号入力端RES、ライト／リード信号入力端WEバー／REバー、表示リード信号入力端DREバー、および判定フラグ信号入力端FLAGと、イネーブル信号出力端ENおよび表示リード信号出力端LACバー、LAC1バー、LAC2バーとを有する制御部10と、リセット信号入力端RESおよび表示リード信号入力端LAC1バー、LAC2バーと、表示リード信号出力端LBEおよびトリガ信号出力端TRIGとを有する表示リード信号発生回路部30と、リセット信号入力端RES、表示リード信号入力端LBEおよびトリガ信号入力端TRIGと、判定フラグ信号出力端FLAGとを有する判定フラグ信号発生回路部40と、2個のOR回路50(1)、(2)とを具備している。

【0014】内部同期制御回路5に供給される入力信号は、内部回路に次のように供給される。リセット信号RESがOR回路50(1)の一方の入力に供給される。ライト／リード信号WEバー／REバーが制御部10のライト／リード信号入力端WEバー／REバーおよび内部同期制御回路5のライト／リード信号出力端WEバー／REバーにそれぞれ供給される。表示リード信号DREバーが制御部10の表示リード信号入力端DREバーに供給されるとともに、OR回路50(1)の他方の入力に供給される。OR回路50(1)の出力が制御部10および判定フラグ信号発生回路部40のそれぞれのリセット信号入力端RESに供給されるとともに、OR回路50(2)の一方の入力に供給される。OR回路50(2)の出力が表示リード信号発生回路部30のリセット信号入力端RESに供給される。

【0015】制御部10からの出力信号は、他の内部回路に次のように供給される。イネーブル信号ENがOR回路50(2)の他方の入力に供給される。表示リード信号LAC1バー、LAC2バーが表示リード信号発生回路部30の表示リード信号入力端LAC1バー、LAC2バーにそれぞれ供給される。表示リード信号LACバーが内部同期制御回路5の表示リード信号出力端LACバーに供給される。

【0016】表示リード信号発生回路部30からの出力信号は、他の内部回路に次のように供給される。表示リード信号LBEが内部同期制御回路5の表示リード信号出力端LBEに供給されるとともに、判定フラグ信号発生回路部40の表示リード信号入力端LBEに供給される。トリガ信号TRIGが判定フラグ信号発生回路部40のトリガ信号入力端TRIGに供給される。

【0017】判定フラグ信号発生回路部40からの出力信号である判定フラグ信号FLAGは、制御部10の判

定フラグ信号入力端FLAGに供給される。

【0018】制御部10は、例えば、図4に示すように、3個のAND回路11(1)～(3)と、5個のOR回路12(1)～(5)と、10個のNOT回路13(1)～(10)と、3個のDフリップ14(1)～(3)と、1個の第1ディレイ回路15と、1個の第2ディレイ回路16と、2個の第3ディレイ回路17(1)、(2)と、1個のスイッチ回路18とを有している。そして、上記構成のうち、AND回路11(1)、NOT回路13(1)および第2ディレイ回路16を用いて、AND回路11(1)の一方の入力がNOT回路13(1)と第2ディレイ回路16を介して他方の入力に接続されて、入力の立ち上がりエッジで正のワンショットパルスを出力する第1ショット回路19を構成している。また、OR回路12(1)、(2)、NOT回路13(2)、(3)および第3ディレイ回路17(1)、(2)を用いて、OR回路12(1)、(2)の一方の入力がNOT回路13(2)、(3)と第3ディレイ回路17(1)、(2)を介して他方の入力に接続されて、入力の立ち下がりエッジで負のワンショットパルスを出力する第2ショット回路20(1)、(2)を構成している。

【0019】制御部10の各入力端は、ライト／リード信号入力端WEバー／REバーがAND回路11(2)の2入力に接続され、判定フラグ信号入力端FLAGがDフリップ14(1)のデータ入力Dに接続され、リセット信号入力端RESがDフリップ14(1)のリセット入力Rに接続され、表示リード信号入力端DREバーがDフリップ14(2)のリセット入力Rと第1ディレイ回路15の入力と第1ショット回路19の入力とに接続されている。AND回路11(2)の出力は、Dフリップ14(1)およびDフリップ14(2)のクロック入力と、NOT回路13(4)を介してDフリップ14(3)のデータ入力Dと、NOT回路13(5)を介してイネーブル信号出力端ENおよびOR回路12(3)、(4)、(5)の一方の入力とに接続されている。Dフリップ14(1)の出力Qは、NOT回路13(6)を介して第2ショット回路20(2)の入力に接続されている。Dフリップ14(2)の出力Qは、NOT回路13(7)を介してスイッチ回路18の入力IN2に接続されている。第1ディレイ回路15の出力は、NOT回路13(8)を介してDフリップ14(2)のデータ入力DおよびDフリップ14(3)のクロック入力、さらにNOT回路13(9)を介してスイッチ回路18の入力IN1に接続されている。第1ショット回路19の出力は、Dフリップ14(3)のリセット入力Rに接続されている。Dフリップ14(3)の出力Qは、スイッチ回路18の入力SELに接続されている。スイッチ回路18の出力は、NOT回路13(10)を介して第2ショット回路20(1)の入力に接続されている。

る。第2ショット回路20(1), (2)の出力は、AND回路11(3)の2入力およびOR回路12(3), (4)の他方の入力に接続されている。AND回路11(3)の出力は、OR回路12(5)の他方の入力に接続されている。OR回路12(3), (4), (5)の出力は、表示リード信号出力端LAC1バー, LAC2バー, LACバーにそれぞれ接続されている。  
【0020】出力信号ENは、CPU2から転送されるライト／リード信号WEバー／REバーの入力によりライト／リード命令の有無を認識するための信号として生成され、同時に後述するLACバー, LAC1バー, LAC2バーの各出力イネーブルとして機能する。出力信号LAC1バーは、ライト／リードと表示リードとが非競合であった場合に表示リード命令を出力するための表示リード信号として生成される。出力信号LAC2バーは、ライト／リードと表示リードとが競合した場合に再表示リード命令を出力するための表示リード信号として生成され、判定フラグ信号FLAGをフィードバックさせている。出力信号LACバーは、出力信号LAC1バー及びLAC2バーよりCPU2からのライト／リード解除を認識するための表示リード信号として生成される。また、入力信号RESは、システムリセット機能を有する。

【0021】表示リード信号発生回路部30は、例えば、図5に示すように、2個のAND回路31(1), (2)と、4個のOR回路32(1)～(4)と、6個のNOT回路33(1)～(6)と、2個のDフリフロ34(1), (2)と、2個の第4ディレイ回路35(1), (2)と、2個の第5ディレイ回路36(1), (2)と、2個の第6ディレイ回路37(1), (2)とを有している。そして、上記構成のうち、OR回路32(1), (2)、NOT回路33(3), (4)および第5ディレイ回路36(1), (2)を用いて、OR回路32(1), (2)の一方の入力がNOT回路33(3), (4)と第5ディレイ回路36(1), (2)を介して他方の入力に接続されて、入力の立ち上がりエッジで負のワンショットパルスを出力する第3ショット回路38(1), (2)を構成している。また、AND回路31(1), (2)、NOT回路33(5), (6)および第6ディレイ回路37(1), (2)を用いて、AND回路31(1), (2)の一方の入力がNOT回路33(5), (6)と第6ディレイ回路37(1), (2)を介して他方の入力に接続されて、入力の立ち上がりエッジで正のワンショットパルスを出力する第4ショット回路39(1), (2)を構成している。

【0022】表示リード信号発生回路部30の各入力端は、リセット信号入力端RESがDフリフロ34(1), (2)のそれぞれのリセット入力Rに接続され、表示リード信号入力端LAC1バー, LAC2バー

がNOT回路33(1), (2)を介してDフリフロ34(1), (2)のそれぞれのデータ入力Dに接続されるとともに、第4ディレイ回路35(1), (2)および第3ショット回路38(1), (2)を介してDフリフロ34(1), (2)のクロック入力Cにそれぞれ接続されている。Dフリフロ34(1), (2)の出力Qは、第4ショット回路39(1), (2)を介してOR回路32(3)の2入力に接続され、OR回路32(3)の出力が表示リード信号出力端LBEに接続されている。また、OR回路32(1), (2)の他方の入力がOR回路32(4)の2入力に接続され、OR回路32(4)の出力がトリガ信号出力端TRIGに接続されている。

【0023】出力信号LBEは、制御部10からの入力信号LAC1バー, LAC2バーによって競合、非競合時に必要なタイミングかつ必要なパルス幅の表示リード命令を出力するための表示リード信号として生成される。前記必要なタイミングは第4ディレイ回路35(1), (2)で、必要なパルス幅は第6ディレイ回路37(1), (2)で調整するものである。また出力信号TRIGは、表示リード信号LBEがRAM4から表示データを読み出すのに十分必要なパルス幅があるかどうかを判定するためのトリガ信号として生成される。入力信号RESはシステムリセット機能を有する。

【0024】判定フラグ信号発生回路部40は、例えば、図6に示すように、3個のNOT回路41(1)～(3)と、1個のDフリフロ42と、1個の第7ディレイ回路43とを有している。判定フラグ信号発生回路部40の各入力端は、リセット信号入力端RESがDフリフロ42のリセット入力Rに接続され、表示リード信号入力端LBEがNOT回路41(1)を介してDフリフロ42のデータ入力Dに接続され、トリガ信号入力端TRIGがNOT回路41(2), (3)および第7ディレイ回路43を介してDフリフロ42のクロック入力Cに接続されている。Dフリフロ42の出力Qは、判定フラグ信号出力端FLAGに接続されている。

【0025】出力信号FLAGは、表示リード信号発生回路部30からの表示リード信号LBE及びトリガ信号TRIGにより、表示リード信号LBEの“ハイ”パルス幅がRAM4からデータを読み出すのに必要な時間に基づくかどうかを判定するため、第7ディレイ回路43と時間比較を行い、例えば表示リード信号LBEのパルス幅が第7ディレイ回路43の遅延時間より短ければ、信号レベルを“ハイ”レベルにして、制御部10にRAM4からの表示データ読み出しエラー判定を伝達するための判定フラグ信号として生成される。入力信号RESはシステムリセット機能を有する。

【0026】次に、内部同期制御回路5の動作について図7～9を参照して説明する。各図の時刻T\_0において、CPU2から内部同期制御回路5に、表示リード信

号D R Eバー、ライト／リード信号W Eバー／R Eバーの“ハイ”レベルが供給されている状態で、リセット信号R E Sの“ハイ”レベルが供給されると、制御部10、表示リード信号発生回路部30、および判定フラグ信号発生回路部40のそれぞれに含まれるDフリフロがリセットされ、内部同期制御回路5からR A M4側にライト／リード信号W Eバー／R Eバーおよび表示リード信号L A Cバーの“ハイ”レベルと、表示リード信号L B Eの“ロウ”レベルが供給されている状態である。すなわち、時刻T 0において、ライト／リード命令の発生も表示リード命令の発生もなく、ライト／リードおよび表示リードが行われていない状態である。

【0027】以下、ライト／リード命令と表示リード命令との競合、非競合に分け、説明する。

#### ①非競合の場合

図7に示すように、ライト／リードの例えは、ライト命令であるライト信号W Eバーが時刻T 1からT 2の期間、“ロウ”レベルになると、このとき表示リード命令の競合はなく、表示リード信号D R Eバーは“ハイ”レベルのままであり、制御部10、表示リード信号発生回路部30および判定フラグ信号発生回路部40へのリセット信号R E Sも“ハイ”レベルのままである。従って、表示リード信号L A Cバー、L A C1バーは“ハイ”レベルのままであり、表示リード信号L B Eは“ロウ”レベルのままであるため、ライト命令が優先され、ライト信号W Eバーが時刻T 2に“ハイ”レベルになって、表示データがR A M4に書き込まれる。尚、このとき、表示リード信号L A C2バーは“ハイ”レベルのままであり、トリガ信号T R I Gおよび判定フラグ信号F L A Gは“ロウ”レベルのままである。そして、時刻T 2を過ぎて、ライト命令と表示リードとの競合がないライト／リード信号W Eバー／R Eバーが“ハイ”レベルの期間の時刻T 3からT 4の期間に、表示リード信号D R Eバーが“ロウ”レベルになると、制御部10、表示リード信号発生回路部30および判定フラグ信号発生回路部40へのリセット信号R E Sも“ロウ”レベルとなる。その結果、表示リード信号L A Cバー、L A C1バーは“ロウ”レベル、および表示リード信号L B Eとトリガ信号T R I Gとは“ハイ”レベルとなり、時刻T 4までの期間に表示データがR A M4から表示リードされる。尚、このとき、表示リード信号L A C2バーは“ハイ”レベル、および判定フラグ信号F L A Gは“ロウ”レベルのままである。

【0028】②競合の場合（ライト／リード命令中に表示リード命令が生じた場合）

図8に示すように、ライト命令の発生によりライト信号W Eバーが“ロウ”レベルになる時刻T 1からT 2の期間の途中の時刻T 3'に、表示リード命令があり表示リード信号D R Eバーが“ロウ”レベルになり、ライト命令と表示リード命令との競合が生じると、制御部10お

よび判定フラグ信号発生回路部40へのリセット信号R E Sは“ロウ”レベルになるが、このとき、イネーブル信号E Nは“ハイ”レベルであり、表示リード信号発生回路部30へのリセット信号R E Sは“ハイ”レベルのままである。従って、表示リード信号L A Cバー、L A C1バーは“ハイ”レベルのままであり、表示リード信号L B Eおよびトリガ信号T R I Gは“ロウ”レベルのままであるため、ライト命令が優先され、ライト信号W Eバーが時刻T 2に“ハイ”レベルになって、表示データがR A M4に書き込まれる。そして、時刻T 2を過ぎると、ライト信号W Eバーが“ハイ”レベルとなってライト命令と表示リードとの競合がなくなり、表示リード信号発生回路部30へのリセット信号R E Sも表示リード信号D R Eバーが“ハイ”レベルになる時刻T 4まで“ロウ”レベルとなる。その結果、表示リード信号L A Cバー、L A C1バーは“ロウ”レベルとなり、表示リード信号L B Eおよびトリガ信号T R I Gは“ハイ”レベルとなって、時刻T 4までの期間に表示データがR A M4から表示リードされる。尚、このとき、表示リード信号L A C2バーは“ハイ”レベル、および判定フラグ信号F L A Gは“ロウ”レベルのままである。

【0029】③競合の場合（表示リード命令中にライト／リード命令が生じた場合）

図9に示すように、ライト命令が発生する時刻T 1より前の時刻T 3'に、表示リード命令があり表示リード信号D R Eバーが“ロウ”レベルになると、制御部10、表示リード信号発生回路部30および判定フラグ信号発生回路部40へのリセット信号R E Sも“ロウ”レベルとなり、表示リード信号L A Cバー、L A C1バーは“ロウ”レベルとなり、表示リード信号L B Eおよびトリガ信号T R I Gは“ハイ”レベルとなって、表示データがR A M4から表示リードされ始める。しかし、時刻T 1にライト信号W Eバーが“ロウ”レベルになると、イネーブル信号E Nが“ハイ”レベルとなるため表示リード信号発生回路部30へのリセット信号R E Sは“ハイ”レベルとなる。その結果、表示リード信号L A Cバー、L A C1バーは“ハイ”レベルとなり、表示リード信号L B Eおよびトリガ信号T R I Gは“ロウ”レベルとなるため、その時点で表示リードが中止させられ、ライト命令が優先され、ライト信号W Eバーが時刻T 2に“ハイ”レベルになって、表示データがR A M4に書き込まれる。また、時刻T 1にライト信号W Eバーが“ロウ”レベルになると、表示リード信号発生回路部30から判定フラグ信号発生回路部40へのトリガ信号T R I Gおよび表示リード信号L B Eにより、時刻T 3'からT 1の期間に表示リードが終了しているのか未了であるのかを、表示リード信号L B Eのパルス幅を判定フラグ信号発生回路部40内部のディレイ回路の遅延時間と比較することにより判断し、未了であれば、判定フラグを立て、すなわち、判定フラグ信号発生回路部40から制

11

御部10への判定フラグ信号FLAGが“ハイ”レベルとなり、表示データのRAM4へのライトが終了する時刻T2まで表示リード命令を待たせる。そして、判定フラグ信号FLAGが“ハイ”レベルの場合、時刻T2を過ぎると、ライト信号WEバーが“ハイ”レベルとなってライト命令と表示リードとの競合がなくなり、表示リード信号発生回路部30へのリセット信号RESも表示リード信号DREバーが“ハイ”レベルになる時刻T4まで“ロウ”レベルとなる。その結果、表示リード信号LACバー、LAC1バーは“ロウ”レベルとなり、表示リード信号LBEおよびトリガ信号TRIGは“ハイ”レベルとなって、時刻T4までの期間に表示データがRAM4から表示リードされる。

【0030】以上に説明したように、表示制御半導体集積回路101に内蔵のシングルポートRAM4を介して、内部に具備された内部同期制御回路5によりCPU2と表示パネル3間の表示データ転送制御を行う際、CPU2へレディ信号を出力することなく、ライト／リード命令と表示リード命令との競合、非競合に拘わらず、常にCPU2側からのライト／リード命令を表示リード命令より優先させることができ、CPU2側の制御系の負荷を軽くすることができるとともに、ライト／リードと表示リードとのサイクルタイムも短くすることができる。

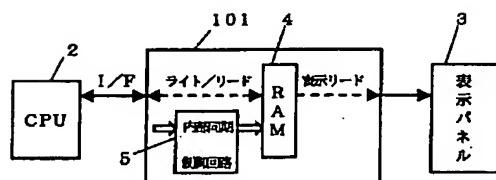
【0031】

【発明の効果】本発明によれば、本発明のシングルポートRAM内蔵の表示制御半導体集積回路によれば、CPUに対してレディ信号を出力することなく、CPUからのライト／リード命令を表示リード命令より常時優先させることができ、CPU側の制御系の負荷を軽くすることができるとともに、ライト／リードと表示リードとのサイクルタイムも短くすることができる。

【図面の簡単な説明】

【図1】 本発明の一実施例の表示制御半導体集積回路\*

【図1】



12

\*が用いられる表示装置の概略構成図。

【図2】 図1の表示制御半導体集積回路による表示データ転送制御方式を説明するタイムチャート。

【図3】 図1の表示制御半導体集積回路に具備される内部同期制御回路の一例を示す回路図。

【図4】 図3の内部同期制御回路を構成する制御部の一例を示す回路図。

【図5】 図3の内部同期制御回路を構成する表示リード信号発生回路部の一例を示す回路図。

【図6】 図3の内部同期制御回路を構成する判定フラグ信号発生回路部の一例を示す回路図。

【図7】 ライト命令と表示リード命令との非競合時の図3の内部同期制御回路の動作を説明するタイムチャート。

【図8】 ライト命令と表示リード命令との競合時（ライト命令中に表示リード命令が生じた場合）の図3の内部同期制御回路の動作を説明するタイムチャート。

【図9】 ライト命令と表示リード命令との競合時（表示リード命令中にライト命令が生じた場合）の図3の内部同期制御回路の動作を説明するタイムチャート。

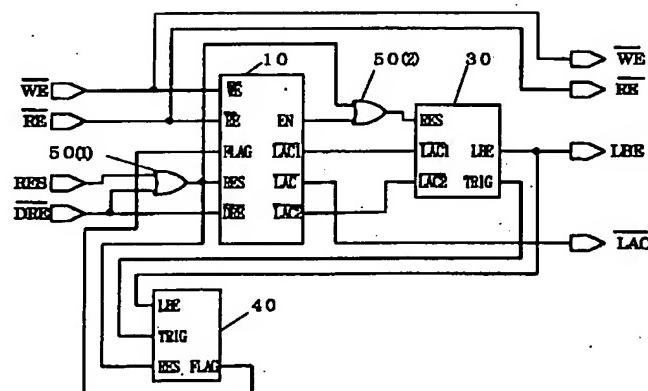
【図10】 従来の表示制御半導体集積回路が用いられる表示装置の概略構成図。

【図11】 図10の表示制御半導体集積回路による表示データ転送制御方式を説明するタイムチャート。

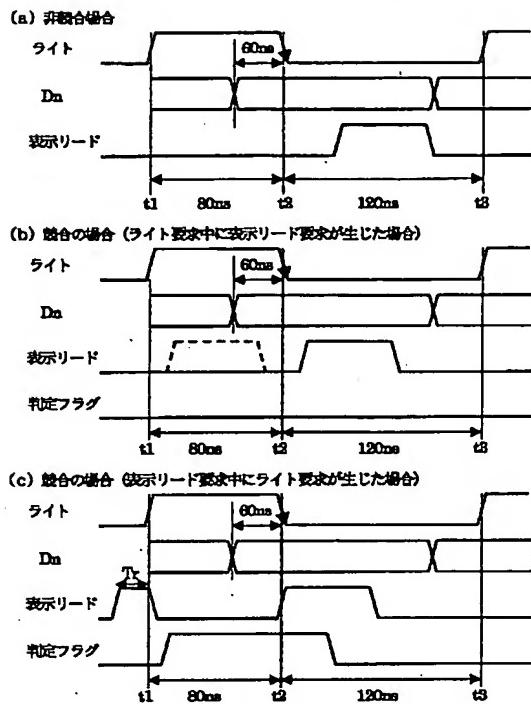
## 【符号の説明】

- |     |              |
|-----|--------------|
| 2   | CPU          |
| 3   | 表示パネル        |
| 4   | シングルポートRAM   |
| 5   | 内部同期制御回路     |
| 10  | 制御部          |
| 30  | 表示リード信号発生回路部 |
| 40  | 判定フラグ信号発生回路部 |
| 101 | 表示制御半導体集積回路  |

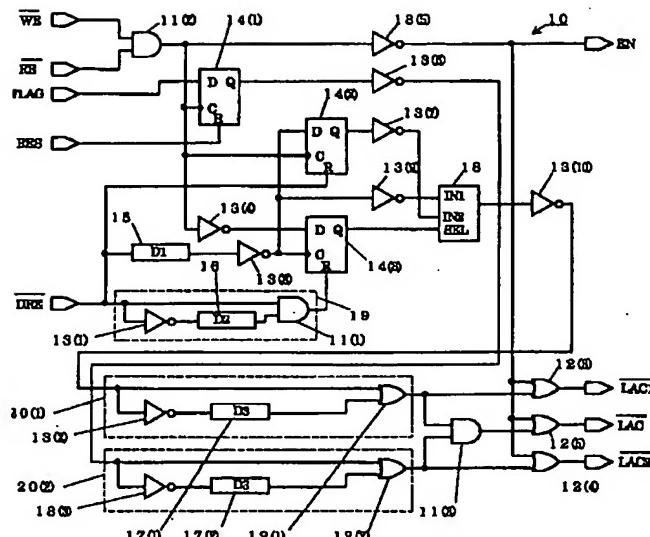
【図3】



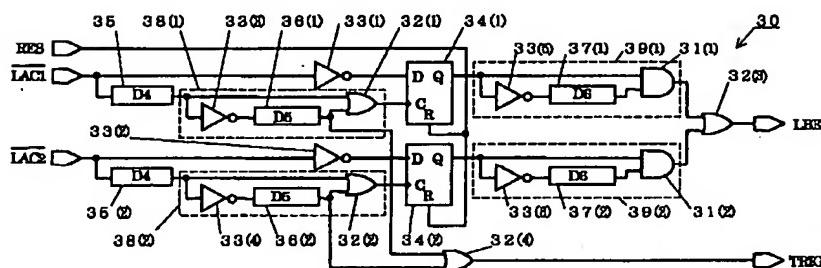
〔図2〕



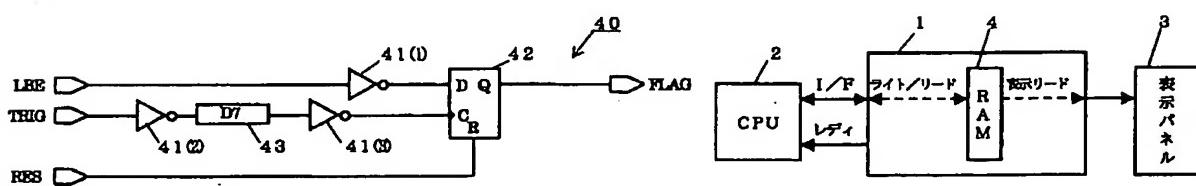
[図4]



〔図5〕



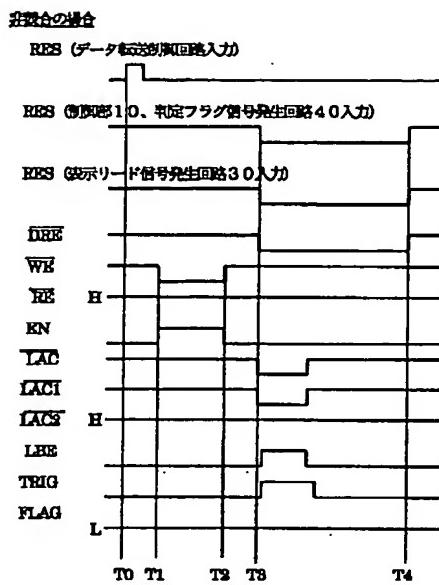
[图6]



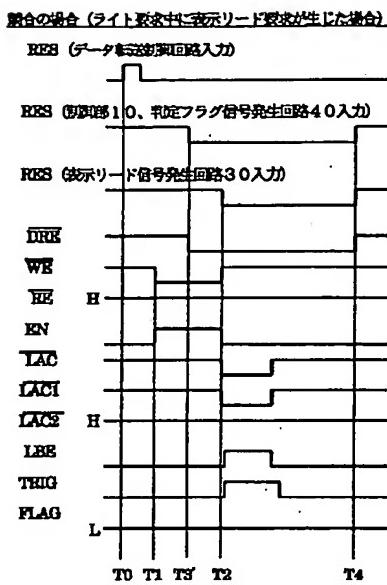
(図10)

**BEST AVAILABLE COPY**

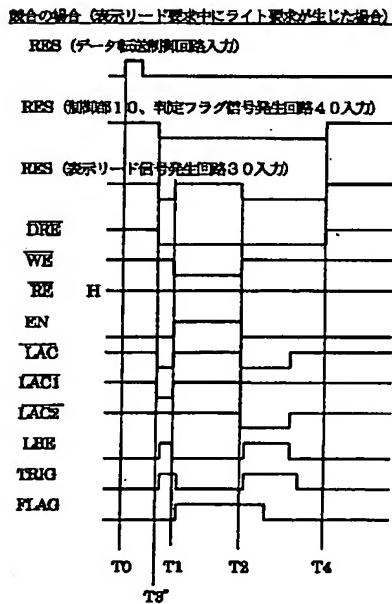
【図7】



【図8】



【図9】



【図11】

